

DERWENT-ACC-NO: 2002-200993

DERWENT-WEEK: 200226

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Clock signal generator for data recording
device has voltage control oscillator that outputs clock
signal based on combined phase differences

PATENT-ASSIGNEE: MATSUSHITA DENKI SANGYO KK[MATU]

PRIORITY-DATA: 2000JP-0213293 (July 13, 2000)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE
PAGES MAIN-IPC		
JP 2002032962 A	January 31, 2002	N/A
019 G11B 020/10		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
<u>JP2002032962A</u>	N/A	2000JP-0213293
July 13, 2000		

INT-CL (IPC): G11B007/0045, G11B020/10

ABSTRACTED-PUB-NO: JP2002032962A

BASIC-ABSTRACT:

NOVELTY - A phase comparator (21) detects the phase difference between a wobble signal extracted by a wobble signal detector (20) and a first dividing signal of a clock signal. The phase comparator (24) detects the phase difference between a pre-pit signal extracted by a pre-pit detector (23) and the second dividing signal. A VCO (27) outputs a clock signal based on the phase differences which are combined by an adder (26).

USE - For data recording device.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-32962
(P2002-32962A)

(43) 公開日 平成14年1月31日 (2002.1.31)

(51) Int.Cl.⁷

G 1 1 B 20/10
7/0045

識別記号

3 5 1

F I

G 1 1 B 20/10
7/0045

テームト* (参考)

3 5 1 Z 5 D 0 4 4
D 5 D 0 9 0

審査請求 未請求 請求項の数12 O L (全 19 頁)

(21) 出願番号 特願2000-213293 (P2000-213293)

(22) 出願日 平成12年7月13日 (2000.7.13)

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 甲斐 勤

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 藤本 和生

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

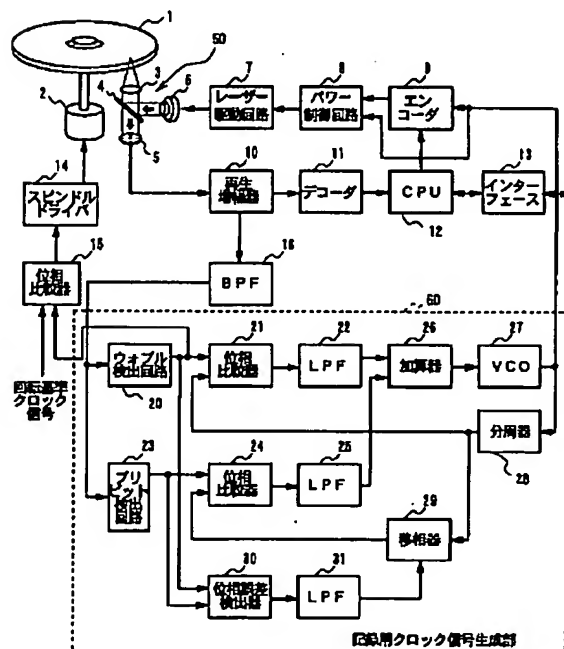
最終頁に続く

(54) 【発明の名称】 クロック信号発生装置

(57) 【要約】

【課題】 光ディスクへの記録において、隣接トラックとのクロストークにより発生する種々の問題を解決して、精度の高いクロック信号を生成することができるクロック信号発生装置を得ること。

【解決手段】 本発明のクロック信号発生装置は、ウォブル信号を抽出するウォブル信号抽出手段とプリビット信号を抽出するプリビット抽出手段とを有し、第1の位相比較手段がウォブル信号と記録用クロック信号の第1の分周信号との位相差を検出し、第2の位相比較手段がプリビット信号と記録用クロック信号の第2の分周信号の位相差を検出し、加算器が第1の位相比較手段の出力である第1の位相比較信号と第2の位相比較手段の出力である第2の位相比較信号を加算して、加算器の出力に基づいて発振回路が記録用クロック信号を出力する。



【特許請求の範囲】

【請求項1】 所定の周波数のウォブル信号でトラックの一部をウォブリングし、前記ウォブル信号と所定の位相関係を有するプリビットを形成した光ディスクに対して、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置におけるクロック信号発生装置であつて、

前記ウォブル信号を抽出するウォブル信号検出手段と、
前記プリビット信号を抽出するプリビット検出手段と、
前記ウォブル信号と記録用クロック信号の第1の分周信号との位相差を検出する第1の位相比較手段と、
前記プリビット信号と記録用クロック信号の第2の分周信号の位相差を検出する第2の位相比較手段と、
前記第1の位相比較手段の出力である第1の位相比較信号と前記第2の位相比較手段の出力である第2の位相比較信号とを加算する加算器と、
前記加算器の出力に基づいて記録用クロック信号を出力する発振回路と、を具備することを特徴とするクロック信号発生装置。

【請求項2】 前記ウォブル信号と前記プリビット信号の位相差に基づいて第1の分周信号を移相する移相手段により第2の分周信号を生成することを特徴とする請求項1記載のクロック信号発生装置。

【請求項3】 所定の周波数のウォブル信号で記録用トラックをウォブリングし、前記ウォブル信号と所定の位相関係を有するプリビットを形成した光ディスクに対して、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置におけるクロック信号発生装置であつて、

前記ウォブル信号を抽出するウォブル信号検出手段と、
前記プリビット信号を抽出するプリビット検出手段と、
前記ウォブル信号と記録用クロック信号の第1の分周信号との位相差を検出する第1の位相比較手段と、
前記プリビット信号と記録用クロック信号の第2の分周信号の位相差を検出する第2の位相比較手段と、
前記第1の位相比較手段の出力である第1の位相比較信号と前記第2の位相比較手段の出力である第2の位相比較信号とを加算する加算器と、
前記加算器の出力に基づいて記録用クロック信号を出力する発振回路と、
プリビット信号のパルス幅を検出するプリビットパルス幅検出手段と、
前記ウォブル信号と前記プリビット信号の位相差とプリビット信号のパルス幅に基づいて第1の分周信号を移相した第2の分周信号を生成する位相手段と、を具備することを特徴とするクロック信号発生装置。

【請求項4】 前記ウォブル信号と前記プリビット信号の位相差と、プリビット信号のパルス幅の半分を加算した値に基づいて第1の分周信号を移相する移相手段により第2の分周信号を生成するよう構成されたことを特徴

とする請求項3記載のクロック信号発生装置。

【請求項5】 前記第1の位相比較手段はウォブル信号のエッジを基準として位相誤差を検出し、前記第2の位相比較手段はプリビット信号の中央を基準として位相誤差を検出するように構成されており、

プリビット信号のパルス幅を、未記録部分の再生時、記録済み部分の再生時、及び記録時の各動作状態に応じて切り替えるよう構成されたことを特徴とする請求項4記載のクロック信号発生装置。

【請求項6】 前記第1の位相比較手段はウォブル信号のエッジを基準として位相誤差を検出し、前記第2の位相比較手段はプリビット信号の中央を基準として位相誤差を検出するように構成されており、

プリビット信号のパルス幅を、未記録部分の再生時、記録済み部分の再生時、及び記録時の各動作状態ごとに予め測定し、前記位相手段へ入力されるパルス幅信号を動作状態の変化に応じて切り替えるよう構成されたことを特徴とする請求項3記載のクロック信号発生装置。

【請求項7】 前記ウォブル信号と前記プリビット信号の位相差をローパスフィルタにより平滑化した値を、前記ウォブル信号とプリビット信号の位相差とするよう構成されたことを特徴とする請求項2又は3記載のクロック信号発生装置。

【請求項8】 制御帯域付近では、ウォブル信号との位相差である前記第1の位相比較信号の信号強度をプリビット信号との位相差である前記第2の位相比較信号の信号強度より大きくし、回転周波数付近以下の低域では、プリビット信号との位相差である前記第2の位相比較信号の信号強度をウォブル信号との位相差である前記第1の位相比較信号の信号強度より大きくするよう構成されたことを特徴とする請求項1又は3記載のクロック信号発生装置。

【請求項9】 所定の周波数のウォブル信号で記録用トラックをウォブリングし、前記ウォブル信号と所定の位相関係を有するプリビットを形成した光ディスクに対して、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置におけるクロック信号発生装置であつて、

前記ウォブル信号を抽出するウォブル信号検出手段と、
前記プリビット信号を抽出するプリビット検出手段と、
前記ウォブル信号と記録用クロック信号の第1の分周信号との位相差を検出する第1の位相比較手段と、
前記プリビット信号と記録用クロック信号の第2の分周信号の位相差を検出する第2の位相比較手段と、
プリビット信号の検出確率に従って第2の位相比較手段の出力である第2の位相比較信号を増幅して、第1の位相比較手段の出力である第1の位相比較信号とを加算する加算器と、

前記加算器の出力に基づいて記録用クロック信号を出力する発振回路と、を具備することを特徴とするクロック

信号発生装置。

【請求項10】 前記プリビット検出手段が、記録時におけるマーク部に限りプリビット信号を検出するように構成されており、

記録時におけるプリビット信号と位相比較基準信号との位相差出力を再生時の2倍にすることを特徴とする請求項9記載のクロック信号発生装置。

【請求項11】 前記プリビット検出手段が、記録時におけるマーク部に限りプリビット信号を検出するように構成されており、

再生時におけるプリビット信号と位相比較基準信号との位相差出力の頻度を実質的に半分以下にすることを特徴とする請求項9記載のクロック信号発生装置。

【請求項12】 所定の周波数のウォブル信号で記録用トラックをウォブリングし、当該ウォブル信号と所定の位相関係を有するプリビットを形成した光ディスクに、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置におけるクロック信号発生装置であつて、

前記ウォブル信号を抽出するウォブル信号検出手段と、
前記プリビット信号を抽出するプリビット検出手段と、
前記ウォブル信号と発振回路の出力を分周して得られる第1の位相比較基準信号との位相誤差を検出する第1の位相比較手段と、

前記プリビット信号と発振回路の出力を分周して得られる第2の位相比較基準信号との位相誤差を検出する第2の位相比較手段と、

第1の位相比較器の出力する位相誤差信号に基づいて発振回路の制御電圧に変換する第1のフィルタと、

第2の位相比較器の出力する位相誤差信号に基づいて発振回路の制御電圧に変換する第2のフィルタと、

第1のフィルタの出力と第2のフィルタの出力を加算する加算器と、

前記加算器の出力に基づいて前記クロック信号を発生する発振回路と、

前記第1のフィルタのDC成分と、前記第2のフィルタのDC成分の差分信号を、前記第1のフィルタの出力から減算するとともに、前記第2のフィルタの出力に加算するフィルタ出力バランス調整回路と、を具備することを特徴とするクロック信号発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、追記可能な光ディスクの如き記録媒体に情報を記録するクロック信号発生装置に関する。

【0002】

【従来の技術】一般に、記録用光ディスクには、記録用クロック信号を生成するための基準としてトラックが選動（ウォブリング）されており、これに情報を記録するクロック信号発生装置では、かかるトラックからウォブ

ル信号を抽出した後、このウォブル信号に同期したクロック信号を生成して、データを目的位置に記録する。しかしながら、近年高密度化に伴い、隣接するトラック間ピッチが狭くなり、光ビームを照射したトラックに隣接するトラックからの光の漏れ込み、いわゆるクロストークのため、検出されるウォブル信号が本来のウォブル信号に対して位相がずれるといった現象が発生している。このため、検出したウォブル信号を元に生成したクロック信号では、目的の位置にデータを記録できないといった問題が発生していた。

【0003】この問題を解決するための従来のクロック信号発生装置として、特開平10-293926号公報に記載されたものが知られている。図18は特開平10-293926号公報に記載された従来のクロック信号発生装置の構成を示すブロック図である。図18を用いて従来のクロック信号発生装置の概略構成を説明する。従来のクロック信号発生装置において、光ディスク101を回転させるスピンドルモータ102と、スピンドルモータ102を駆動するスピンドルドライバ120と、光ディスク101上の目的位置をレーザーにより照射するピックアップ103とを有しており、スピンドルドライバ120とピックアップ103は図18に示した制御回路により駆動されている。この光ディスク101は、所定の周波数成分を有するウォブル信号でウォブリングしたデータ記録用トラックを有しており、ウォブル信号と所定の位相関係を有するプリビットが形成されている。

【0004】ピックアップ103は光ディスク101からの反射光を受光し、プリビット信号及びウォブル信号と記録情報データ等を有する検出信号を生成して再生増幅器108に出力する。再生増幅器108はプリビット信号及びウォブル信号等の検出信号を増幅し、記録用クロック信号発生装置200のBPF（Band Pass Filter）に出力する。また、読み取り動作の時には、すでに記録されている記録情報データに対応する増幅信号をデコード109に出力する。デコード109は入力された増幅信号をデコードして復調信号を生成し、中央処理装置であるCPU110に出力する。

【0005】一方、BPF112に入力された増幅信号は記録用クロック信号発生装置200において処理されて、プリビットの存在する期間を示すプリビット検出信号を生成してプリビット信号デコード114に出力すると共に、ウォブル信号を抽出して位相比較器117に出力する。記録用クロック信号発生装置200において、BPF112に入力された増幅信号はプリビット信号検出器113とウォブル信号抽出器115に入力される。ウォブル信号抽出器115で抽出されたウォブル信号は、位相比較器117、116とPLL（Phase Locked Loop）回路118に入力される。位相比較器116は、抽出されたウォブル信号とプリビット検出信号との

位相を比較して、その比較信号をPLL回路118の加算器122に出力する。PLL回路118において、クロック信号の位相は位相調整され、記録用クロック信号としてエンコーダ106及びパワー制御回路105に出力される。

【0006】位相比較器117は入力されたウォブル信号と基準クロック発生器111の基準クロック信号との位相を比較して、その差信号を回転制御信号としてスピンドルドライバ120を介してスピンドルモータ102に供給する。これにより、スピンドルモータ102は所定の回転数で回転する。PLL回路118は位相比較器121、加算器122、LPF (Low Pass Filter) 123、VCO (Voltage Controlled Oscillator) 124、及び分周器125により構成されている。PLL回路118においては、入力された抽出ウォブル信号の位相のずれを加算器122により相殺して、VCO124から光ディスク101の回転に精度高く同期した記録用クロック信号を生成している。

【0007】ホストコンピュータからの記録情報データは、インタフェース107に入力されてインタフェース処理後、CPU110を介してエンコーダ106に出力される。エンコーダ106はPLL回路118からの記録用クロック信号をタイミング信号として変調信号を生成し、パワー制御回路105に出力する。パワー制御回路105は記録用クロック信号に基づき変調信号の波形変換を行い記録信号を生成し、レーザー駆動回路104に出力する。レーザー駆動回路104はピックアップ1*

$$P = (1 - \alpha(s)) (P_w - P_c) + \alpha(s) (P_p - P_c) \quad \text{--- (2)}$$

【0012】従って、低周波数領域での $\alpha(s)$ を1にすることにより、加算器122の出力指令Pはウォブル信号の位相情報と関係がなくなり、クロストークによる位置ずれを抑制することが可能となる。

【0013】

【発明が解決しようとする課題】しかしながら、上記のように構成された従来のクロック信号発生装置においても、記録動作中や、欠陥の多い光ディスクの再生・記録動作中では、プリビット信号が本来とは異なる位置で検出されるといった誤検出が発生することがあった。このようなプリビット信号の誤検出が発生すると、VCO124に入力される位相指令において、 $\alpha(s) (P_p - P_c)$ が誤差を含む位相情報 ΔN となり、 $(1 - \alpha(s)) (P_w - P_c) + \Delta N$ となる。この結果、従来のクロック信号発生装置において、クロストーク低減の為に、低周波数領域での $\alpha(s)$ の値を1に限りなく近くした場合には、低周波数領域でのゲインが確保できず、動作が非常に不安定になっていた。本発明は、誤ったプリビット信号が検出された場合でも、安定した記録用クロック信号を生成することができるクロック信号発生装置を得ることを目的とする。

【0014】

*03を駆動するレーザー駆動信号を出力する。上記のように構成された従来のクロック信号発生装置においては、クロストークの影響を無視できないウォブル信号に基づいて生成されるクロック信号を、クロストークの影響を受けないプリビットを用いて補正しているため、ディスク回転に同期した記録用クロック信号を生成していた。

【0008】従来のクロック信号発生装置においては、ウォブル信号に基づいて記録用クロック信号を生成し、さらに位置精度の高いプリビット信号と位相誤差を有するウォブル信号の位相差を検出している。そして、その位相差に基づいて記録用クロック信号の位相をPLL回路118にて調整することにより、従来のクロック信号発生装置は、クロストークの影響による位相誤差の発生を抑制していた。例えば、ウォブル信号の位相情報をPw、プリビット信号の位相情報をPp、記録用クロック信号の位相情報をPcとすると、位相比較器121により出力される信号の位相情報は $(P_w - P_c)$ である。一方、位相比較器116にて検出される位相情報は $(P_p - P_w)$ である。この位相情報 $(P_p - P_w)$ は加算器122において $\alpha(s)$ 倍され、加算器122の出力指令Pは次式(1)となる。

【0009】

$$P = (P_w - P_c) + (P_p - P_w) \quad \text{--- (1)}$$

【0010】上記式(1)は次式(2)により表される。

【0011】

※【課題を解決するための手段】上記目的を達成するために、本発明のクロック信号発生装置は、所定の周波数のウォブル信号で記録用トラックをウォブリングし、前記ウォブル信号と所定の位相関係を有するプリビットを形成した光ディスクに対して、前記ウォブル信号に位相同期した記録用クロック信号に基づいてデータを記録するデータ記録装置におけるクロック信号発生装置であつて、前記ウォブル信号を抽出するウォブル信号検出手段と、前記プリビット信号を抽出するプリビット検出手段と、前記ウォブル信号と記録用クロック信号の第1の分周信号との位相差を検出する第1の位相比較手段と、前記プリビット信号と記録用クロック信号の第2の分周信号の位相差を検出する第2の位相比較手段と、第1の位相比較手段の出力である第1の位相比較信号と第2の位相比較手段の出力である第2の位相比較信号を加算する加算器と、加算器の出力に基づいて記録用クロック信号を出力する発振回路とを備えたクロック信号発生装置とを備えたものである。このように構成されたクロック信号発生装置は、誤ったプリビット信号が検出された場合でも、安定した記録用クロック信号を生成することができる。

※50 【0015】

【発明の実施の形態】以下、本発明のクロック信号発生装置の好ましい実施の形態について、添付の図面を参照しつつ説明する。

【0016】《実施の形態1》図1は本発明に係る実施の形態1のクロック信号発生装置の構成を示すブロック図である。実施の形態1のクロック信号発生装置において、光ディスクの一例としては追記型のDVDであるDVD-Rを用いて説明する。図2は光ディスクとしてのDVD-Rの全体図であり、図3はDVD-Rの一部を拡大し、断面を有して示した斜視図である。

【0017】まず、実施の形態1のクロック信号発生装置において用いられる追記型の光ディスクであるDVD-R（以下、単にディスクと略称する）1について説明する。図3に示すように、ディスク1上のディスク記録面にはトラック位置情報等のディスク情報を表すプリビット46が形成されている。また、ウォブル信号に対応してディスク1の半径方向に所定の周期で僅かに揺動（ウォブリング）したグルーブトラック42が形成されている。また、ディスク1には、グルーブトラック42にレーザービームAを誘導するためのランドトラック43が形成されており、このランドトラック43にプリビット46が形成されている。グルーブトラック42はトラックに沿って一定距離毎にウォブリングがされており、このグルーブトラック42からウォブル信号を抽出することによりディスクの回転制御及び記録クロック信号の生成が行われる。また、ランドトラック43に設けられたプリビット46は、ディスク情報並びにアドレスを示すプリビット信号を示しており、ウォブリングされたグルーブトラック42の最大変位位置に存在している。このプリビット信号は隣接トラックとのクロストークにより位相情報が失われることがないため、その位相精度はウォブル信号と比べると高い信号である。

【0018】図3に示すように、ディスク1は有機色素材料などで形成される記録膜41、反射膜45、及び保護膜44を有して形成されている。ディスク1に対するデータの記録は、そのデータに応じて変調されたレーザービームAをグルーブトラック42の記録膜41に照射することにより行われる。上記のように形成されたディスク1にデータを記録再生する場合、ディスク1の中心を軸としディスク1を回転させながら、ディスク記録面に対してレーザービームAを照射する。このときのディスク1の回転周波数は、後述するグルーブトラック42からの反射光を受けたクロック信号発生装置においてウォブル信号を抽出して、ディスク1の回転周波数が一定になるように、スピンドルモータの回転数を制御する。

【0019】実施の形態1のクロック信号発生装置には、所定の周波数成分のウォブル信号でウォブリングしたデータ記録用トラックであるグルーブトラック42と、ウォブル信号とは所定の位相関係を有するプリビット46を形成したディスク1が装着される。図1に示す

実施の形態1のクロック信号発生装置において、スピンドルモータ2はディスク1を所望の回転周波数で回転させており、ディスク記録面に対してピックアップ50により記録再生を行うよう構成されている。ピックアップ50は、対物レンズ3、ハーフミラー4、フォトディテクター5、及びレーザー発振器6を有している。レーザー発振器6からのレーザービームAは、ハーフミラー4によりディスク1に導かれ、対物レンズ3によりディスク記録面の目標トラックに集光されている。

10 【0020】ディスク記録面を検出するグルーブトラック42からの反射光は、そのグルーブトラック42の接線方向と光学的に平行な分割線で2分割されたフォトディテクター5により受光するよう構成されている。グルーブトラック42からのウォブル信号は、2分割されたフォトディテクター5からの出力の差分を取り、その差分信号から抽出される。ピックアップ50は光ディスク1からの反射光を受光し、プリビット46のプリビット信号、グルーブトラック42によるウォブル信号を含む記録情報データ等を有する検出信号を生成して再生増幅器10に出力する。再生増幅器10はプリビット信号及びウォブル信号等の検出信号を増幅し、BPF（Band Pass Filter）16に出力する。また、読み取り動作時には、すでに記録されている記録情報データに対応する増幅信号をデコード11に出力する。デコード11は入力された増幅信号をデコードして復調信号を生成し中央処理装置であるCPU12に出力する。

30 【0021】一方、BPF16に入力された増幅信号は記録用クロック信号生成部60において処理されて、ウォブル信号を抽出して位相比較器15に出力する。位相比較器15は入力されたウォブル信号と回転基準クロック信号との位相を比較して、その差信号を回転制御信号としてスピンドルドライバ14を介してスピンドルモータ2に供給する。これにより、スピンドルモータ2は所定の回転数で回転する。外部のホストコンピュータからの記録情報データは、インタフェース13に入力されてインタフェース処理後、CPU12を介してエンコーダ9に出力される。エンコーダ9は記録用クロック信号生成部60からの記録用クロック信号をタイミング信号として変調信号を生成し、パワー制御回路8に出力する。パワー制御回路8は記録用クロック信号に基づき変調信号の波形変換を行い記録信号を生成し、レーザー駆動回路7に出力する。レーザー駆動回路7はピックアップ50を駆動するレーザー駆動信号を出力する。

40 【0022】記録用クロック信号生成部60において、BPF16からのラジアルプッシュプル信号はウォブル検出回路20とプリビット検出回路23に入力される。ウォブル検出回路20は入力されたプッシュプル信号からウォブル信号を検出する。検出されたウォブル信号は第1の位相比較器21に入力され、ウォブル信号と分周器28からの出力信号との位相差を検出する。第1のロ

ーパスフィルタ (LPF: Low Pass Filter) 22は、第1の位相比較器21からの信号を平滑化して加算器26へ出力する。

【0023】一方、プリビット検出回路23はアッシュュブル信号からプリビット信号を検出し、第2の位相比較器24と位相誤差検出器30に出力する。第2の位相比較器24は入力されたプリビット信号と移相器29からの出力信号との位相差を検出する。第2のローパスフィルタ (LPF: Low Pass Filter) 25は、第2の位相比較器24からの信号を平滑化して加算器26へ出力する。加算器26は第1のローパスフィルタ (LPF) 22と第2のローパスフィルタ (LPF) 25の各出力を加算し、電圧制御発振器 (VCO: Voltage Controlled Oscillator) 27に出力する。電圧制御発振器 (VCO) 27は加算器26の出力に応じた周波数のクロック信号を分周器28とエンコーダ9に出力する。分周器28は電圧制御発振器 (VCO) 27の出力電圧を分周し、第1の位相比較器21と移相器29に出力する。移相器29は分周器28の出力信号を遅延し、第2の位相比較器24のための位相比較信号を生成する。位相誤差検出器30はウォブル信号とプリビット信号の位相差を検出し、検出された位相差信号を第3のLPF31へ出力する。第3のLPF31は位相誤差検出器30の出力を平滑化し、移相器29へ出力する。

【0024】次に、DVD-Rであるディスク1から得られるウォブル信号とプリビット信号について図4を参照しつつ説明する。図4は、実施の形態1のクロック信号発生装置における各部位の出力波形図である。クロック信号発生装置において、オントラック制御されたピックアップ50からディスク1に対してレーザービームAが照射される。その照射によるディスク1からの反射光は、グルーブトラック42の接線方向と光学的に平行な分割線で2分割されたフォトディテクター5により受光される。図4の(a)は、2分割されたフォトディテクター5からの出力の差分をラジアルプッシュ法により処理して検出したラジアルプッシュ信号 (Push-Pull) である。このラジアルプッシュ信号はBPF16からウォブル検出回路20とプリビット検出回路23にそれぞれ入力される。

【0025】図4の(b)はウォブル検出回路20におけるクリップ回路の出力信号 (CLIPout) であり、(c)はウォブル検出回路20におけるBPF (Band Pass Filter) の出力信号 (BPFout) である。図4の(d)は抽出されたウォブル信号 (WBL) を示している。また、図4の(e)は、プリビット検出回路23においてHPF (High Pass Filter) から出力された信号波形 (HPFout) であり、(f)はプリビット検出回路23において抽出されたプリビット信号 (LPP) を示している。

【0026】図5の(a)はウォブル検出回路20の構

成を示すブロック図であり、図5の(b)はウォブル検出回路20におけるウォブル2値化回路の回路図である。図6はプリビット検出回路23の構成を示すブロック図である。図5の(a)に示すように、ウォブル検出回路20は、入力されたラジアルプッシュ信号を正規化する正規化回路57と、クリップ回路 (CLIP) 51と、バンドパスフィルタ (BPF) 52と、増幅器53と、ウォブル2値化回路54と、グリッジ除去回路55と、パルス挿入回路56とにより構成されている。クリップ回路51はラジアルプッシュ信号に含まれるプリビット信号成分を除去する。バンドパスフィルタ52はプリビット信号に含まれるウォブル信号を抽出する。バンドパスフィルタ52から出力された信号は、増幅器53とウォブル2値化回路54により2値化信号が生成され、この2値化信号に含まれるグリッジ信号はグリッジ除去回路55において除去される。パルス挿入回路56はディフェクトなどにより出力が発生しないときこれを補間する回路である。

【0027】所定の回転数でディスク1を回転させた場合、検出されるウォブル信号の周波数はほぼ一定 (標準速では140kHz) である。また、1フレームはウォブル信号の8周期に相当し、2フレーム単位でプリビット信号が配置されている。プリビット信号は、記録されるデータとの位相関係を定めており、記録されるクロック信号の基準信号として利用される。上記のウォブル検出回路20において、ラジアルプッシュ信号からウォブル信号成分をバンドパスフィルタを用いて濾波し、これを2値化することによりウォブル信号 (図4の(d)のWBLの波形) を得ることができる。

【0028】図6に示すように、プリビット検出回路23は、入力されたラジアルプッシュ信号を正規化する正規化回路65と、ハイパスフィルタ (HPF) 61と、プリビット2値化回路62と、ウィンドウ処理回路63と、ゲート処理回路64とにより構成されている。プリビット検出回路23においては、ハイパスフィルタ61において低域成分を除去した後 (図4の(e)のHPFoutの波形)、プリビット2値化回路62であるコンパレータにより2値化することにより、いわゆるプリビット信号 (図4の(f)のLPPの波形) を得ることができる。

【0029】図7は、ディスク1のウォブル信号とプリビット信号との位相差の変動を示す波形図であり、枠内の波形はウォブル信号とプリビット信号との位相差を説明する図である。図7の枠内に示す波形図に示すように、ウォブル信号の立ち上がりとは時間P (約90度前後) ずれている。通常、ウォブル信号のハイ (HIGH) である区間の略中心にプリビット信号が生じるよう記録されている。プリビット信号は、前述のように隣接トラックとのクロストークにより位相情報に影響を受けない信号である。一方、ウォブ

11

ル信号には、隣接トラックのクロストークによるウォブル成分が混入してくる。従って、プリビット信号の立ち上がりウォブル信号の立ち上がりとのずれ時間Pを示す位相差は、図7の位相差を示す波形図のように、90度を中心として数Hz程度の周波数で変動する。例えば、発明者の実験によれば、ウォブル信号の周期が標準速で140kHzになるようにディスク1を回転させた場合、3~6Hz程度の周波数変動が見られた。

【0030】次に、ディスク1に予め記録されているプリビット46の記録フォーマットについて図8を用いて説明する。図8の(a)は、記録情報データにおける記録フォーマットを示しており、(b)はグルーブトラック42のウォプリング状態を示している。ディスク1に記録される記録情報データは、情報単位としてのシンクフレーム単位で予め分割されている。一つのセクタは26個のシンクフレームにより形成されており、16のセクタにより一つのECC(Error Correcting Code)ブロックが形成されている。なお、一つのシンクフレームは、ディスク1に記録する記録情報データの記録フォーマットにより規定されるビット間隔に対応する単位長(以下、Tという)の1488倍(1488×T)の長さを有している。各シンクフレームの先頭の部分にはシンクフレーム毎の同期を取るためのフレーム同期データが記録されている。このフレーム同期データが記録された部分は、その長さが(14×T)である。また、ウォブル信号は(186×T)を1周期として形成されているため、1シンクフレームにはウォブル信号の8波が形成される。

【0031】ディスク1に予め形成されるプリビット46は、二つのシンクフレームを1単位として形成される。プリビット46は偶数番目のシンクフレームと奇数番目のシンクフレームにおけるいずれかのシンクフレームに形成される。図8においては、偶数番目のシンクフレームである偶数シンクフレームにプリビット46が形成されている状態を示している。プリビット46の存在する一つのシンクフレームには、フレーム同期のための同期ビットB0と、フレームの偶数が奇数を表すビットB1と、データを示すビットB2とがその有無により情報が形成されている。同期ビットB0はシンクフレーム先頭のウォブルの頂点に形成され、ビットB1はそのシンクフレームの2番目のウォブルの頂点に形成され、ビットB3はシンクフレームの3番目のウォブルの頂点に形成される。同期ビットB0は常にシンクフレームの先頭に形成される。ビットB1は偶数シンクフレームに形成されるときだけ形成される。ビットB2はデータが1の場合に形成される。なお、プリビット46の具体的な形成方法としては、例えば特開平10-154332号公報に開示されたものがある。

【0032】[クロック信号発生装置における動作]次に、上記のように構成された実施の形態1のクロック信

12

号発生装置における動作について説明する。実施の形態1において、ディスク1に記録される記録情報データは、外部のホストコンピュータからインターフェース13を介して入力される。その記録情報データは、インターフェース13において処理された後、CPU12を介してエンコーダ9に出力される。エンコーダ9は記録用クロック信号生成部60からの記録用クロック信号をタイミング信号として変調信号を生成し、パワー制御回路8に出力する。パワー制御回路8は記録用クロック信号に基づき変調信号の波形変換を行い記録信号を生成し、レーザー駆動回路7に出力する。レーザー駆動回路7は記録情報データに基づいてピックアップ50を駆動するためのレーザー駆動信号を出力する。

【0033】ピックアップ50は、レーザー駆動回路7から供給されるレーザー駆動信号によりディスク1の情報記録面にレーザービームAを照射する。このレーザービームAの照射により、ディスク1に対するデータの記録が行われる。一方、ディスク1に記録されたデータの再生動作のときには、一定の出射パワーのレーザービームAがディスク1の情報記録面に照射されて、その反射光が光検出器5により受光される。情報記録面からの反射光を受光した光検出器5は、この反射光を電気信号に変換する。光検出器5においては、ラジアルプッシュプル方式(ディスク1の回転方向に平行な分割線により分割された光検出器を用いたプッシュプル法)による演算を行うことにより、プリビット46によるプリビット信号、グルーブトラック42のウォブル信号や情報データを含む検出信号である全加算信号を生成し、ラジアルプッシュプル信号として再生増幅器10に出力する。

【0034】再生増幅器10では、光検出器5から出力されたプリビット信号、ウォブル信号を有するラジアルプッシュプル信号を増幅するとともに、AGC処理を施し、信号の規格化を行い、バンドパスフィルタ(BPF)16を介してウォブル検出回路20とプリビット検出回路23に出力する。また、再生増幅器10からの全加算信号は、イコライザによる波形等価処理を施した上で、AGCによる信号振幅の規格化を行い、デコーダ11に出力する。デコーダ11では、再生増幅器10から出力される全加算信号に基づいて、記録されているデータを再生するとともに、同期位置を送出する。CPU12では、デコーダ11から出力される同期タイミング信号に基づいて、インターフェース13を介して送信される記録データをエンコーダブロックに送信し、記録を行う。ウォブル検出回路20では、再生増幅器10から出力されたラジアルプッシュプル信号からウォブル信号を抽出し、スピンドル回転指令を決める位相比較器15と、記録クロック信号を生成する位相同期ループ(PLL)の第1の位相比較器21と、プリビット信号とウォブル信号の位相誤差を検出する位相誤差検出器30に出力する。

13

【0035】[ウォブル検出回路20の構成]次に、ウォブル検出回路20の構成について、図5の(a)を用いて説明する。ウォブル検出回路20は、正規化処理されたラジアルプッシュプル信号がクリップ回路(CLI P)51に入力されて、ラジアルプッシュプル信号に含まれるプリビット信号成分が除去される。次に、バンドパスフィルタ(BPF)52においてラジアルプッシュプル信号に含まれるウォブル信号が抽出され、増幅器53を介してウォブル2値化回路54に入力される。ウォブル2値化回路54から出力された2値化信号は、グリ

リッジ除去回路55においてその2値化信号に含まれるグリッジ信号が除去される。そして、ディフェクトなどにより出力が発生しないときに、これを補間するためにパルス挿入回路56が設けられている。

【0036】[ウォブル検出回路20の動作]次にウォブル検出回路の動作について、図4を用いて説明する。再生増幅器10において得られるラジアルプッシュプル信号(Push-Pull)の一例を図4の(a)に示す。このラジアルプッシュプル信号には、ウォブル信号成分と、プリビット信号成分と、ノイズ成分が含まれている。このラジアルプッシュプル信号がウォブル検出回路20のクリップ回路51に通すことにより、図4の(b)に示す信号波形(CLIPout)となる。クリップ回路51において、プリビット信号成分がクリップされてバンドパスフィルタ52に出力される。バンドパスフィルタ52においては、図4の(c)に示すように、ラジアルプッシュプル信号に含まれるサーボノイズ成分とデータ成分とランダムノイズ成分が除かれる(BPFout)。バンドパスフィルタ52の出力は、増幅器53を介してウォブル2値化回路54に入力され、図4の(d)に示すような2値化ウォブル信号(WBL)を得ることができる。上記の2値化ウォブル信号には、高周波ノイズ成分のためにグリッチが発生するため、グリッジ除去回路55を通じて、図4の(e)に示すようなグリッジ除去ウォブル信号が得られる。さらに、ディフェクトなどにより局所的に乱れて、ウォブル成分が含まれない期間について、パルス挿入を行い、正常なウォブル信号を形成する。

【0037】次に、ウォブル2値化回路54の一例について、図5の(b)を用いて説明する。ウォブル2値化回路54は、コンパレータ71と平滑化回路72と差動回路74とを有している。コンパレータ71は、バンドパスフィルタ52から出力されて帯域制限されたラジアルプッシュプル信号とスライスレベル基準を比較し、2値化した2値化ウォブル信号を出力する。平滑化回路72はコンパレータ71から出力された2値化ウォブル信号を平滑化し、差動回路74に出力する。差動回路74はデューティ基準入力端子73からのデューティ基準と平滑化回路72からのデューティ値との差を演算する。また、差動回路74から出力されるデューティ誤差量は、加算器75によりスライスレベル基準に加算さ

14

れる。例えば、デューティ基準入力端子73にデューティ50%相当の信号が印加されると、デューティ50%にてデューティ制御を行うことができるため、オフトラックなどの影響を極力排除することができる。また、ウォブル信号とプリビット信号(LPP)の位相ずれに相当する位相誤差量をデューティ制御端子に加えることにより、2値化ウォブル信号の立ち上がりエッジの位相ずれをキャンセルすることも可能になる。

【0038】一方、再生増幅器10からのラジアルプッシュプル信号(Push-Pull)が入力されたプリビット検出回路23では、プリビット信号を抽出する。抽出されたプリビット信号は、記録クロック信号を生成するPLL部の第2の位相比較器24と、プリビット信号とウォブル信号の位相誤差を検出する位相誤差検出器30に出力される。

【0039】[プリビット検出回路23の構成]次に、プリビット検出回路23の構成について、図6を用いて説明する。プリビット検出回路23は、正規化処理されたラジアルプッシュプル信号がハイパスフィルタ(HPF)61に入力される。ハイパスフィルタ61において、ラジアルプッシュプル信号に含まれるサーボノイズなどの低周波ノイズが除去され、プリビット2値化回路62に出力される。プリビット2値化回路62からの2値化された信号はウィンドウ処理回路63に入力され、ウォブル信号のピーク付近にウィンドウを開き、ウィンドウ以外のノイズを除去する。ウィンドウ処理回路63からゲート処理回路64に入力された信号は、1フレーム内の同期ビットB0のみを選択するよう構成されている。

【0040】[プリビット検出回路23の動作]次に、プリビット検出回路23の動作について図4を用いて説明する。図4の(a)に示すラジアルプッシュプル信号には、ウォブル信号成分と、プリビット信号成分と、ノイズ成分が含まれている。ラジアルプッシュプル信号がプリビット検出回路23のハイパスフィルタ61を通ることにより、ラジアルプッシュプル信号に含まれるサーボノイズ成分とウォブル信号成分と低周波ランダムノイズ成分が除かれる。図4の(e)はハイパスフィルタ61からの出力信号の一例を示す。ハイパスフィルタ61の出力は、プリビット2値化回路62を通じて、図4の(f)に示すような2値化プリビット信号が形成される。さらに、ウィンドウ処理回路63を通じて、図4の(g)に一例を示すように、ウォブル信号のピーク付近を選択するウィンドウ信号が形成される。そして、ゲート処理回路64を通じて、図4の(h)に示すような同期ビットB0の存在する期間を示すウィンドウ信号により不要な2値化プリビット信号がマスクされ、図4の(i)に示すようなプリビット信号が抽出される。

【0041】スピンドルドライバ14の駆動制御を行う位相比較器15では、ウォブル検出回路20から出力さ

15

れたウォブル信号と回転基準クロック信号とを比較する。この比較の結果、これらの信号が一致するようにスピンドルドライバー14に対するスピンドル回転指令信号を生成する。スピンドルドライバー14では、位相比較器15から出力されたスピンドル回転指令信号に基づいてスピンドルモータ2を駆動し、スピンドルモータ2を所定の線速度で回転させる。

【0042】次に、データを記録するための記録用クロック信号の生成部である記録用クロック信号生成部60について説明する。記録用クロック信号生成部60は、図1において破線により囲んで示している。この記録用クロック信号生成部60は、抽出されたウォブル信号と位相基準信号との位相差、及び抽出されたプリビット信号と位相基準信号との位相差に基づき記録用クロック信号を生成する。実施の形態1のクロック信号発生装置における記録用クロック信号生成部60は、図1に示すように、ウォブル検出回路20に繋がるラインとして第1の位相比較器21、第1のローパスフィルタ(LPF)22、加算器26、電圧制御発振器(VCO)27、及び分周器28を有している。また、記録用クロック信号生成部60のプリビット検出回路23に繋がるラインとして第2の位相比較器24、第2のローパスフィルタ(LPF)25、位相誤差検出器30、第3のローパスフィルタ(LPF)31、及び移相器29、を有している。

【0043】記録用クロック信号生成部60において、第1の位相比較器21は電圧制御発振器27の出力を分周器28において186分周して得られるウォブル用位相比較基準信号とウォブル信号とを位相比較する。第2のローパスフィルタ22は、第1の位相比較器21からの出力を受け、VCO制御指令に変換する。また、分周器28から出力されたウォブル用位相比較基準信号が入力される移相器29は、ウォブル信号とプリビット信号の位相差に応じてウォブル用位相比較基準信号を遅延させプリビット用位相比較基準信号を形成する。第2の位相比較器24は移相器29から出力されたプリビット用位相比較基準信号とプリビット信号とを位相比較する。第2のローパスフィルタ25は第2の位相比較器24からの出力をVCO制御指令に変換し、加算器26に出力する。加算器26は、第1のローパスフィルタ22から出力されたウォブル信号に基づくVCO制御指令と第2のローパスフィルタ25から出力されたプリビット信号に基づくVCO制御指令とを加算する。電圧制御発振器28は加算器26からの出力に基づいて発振周波数を決定する。

【0044】実施の形態1のクロック信号発生装置において、ウォブル用の位相比較信号をVCO制御指令に変換する第1のローパスフィルタ22と、プリビット用の位相比較信号をVCO制御指令に変換する第2のフィルタ25は、それぞれの入力信号の特性に合わせて、図9

16

の特性図に示すように設計される。図9の特性図において、実線は系全体の開ループ特性を示している。なお、点線は開ループ特性に対するウォブル位相比較演算の寄与を示しており、一点鎖線は開ループ特性に対するプリビット位相比較演算の寄与を示している。図9において、(a)は振幅特性(ゲイン特性)であり、(b)は位相特性である。

【0045】ウォブル信号には、隣接トラックとのクロストークに基づく低周波の位相ずれが含まれるため、ウォブル信号による制御のみではクロストークに基づく位相ずれが発生する。一方、プリビット信号は発生頻度がウォブル信号の1/16程度であるため、標準速でディスク1を回転させた場合、ウォブル信号周波数は140kHzであるため、サンプリング周波数は8.75kHz程度になる。従って、記録クロック生成において必要と考えられている1kHz程度の制御帯域をプリビット信号による制御のみで確保することは困難である。上記の要因のため、ゲイン交点付近の高周波数の領域では、ウォブル信号と位相比較基準信号との位相差に基づくVCO制御指令を、プリビット信号と位相比較基準信号との位相差に基づくVCO制御指令より高く設定している。このように設定することにより、ウォブル信号による制御指令により、記録用クロック信号生成部におけるPLL(Phase Locked Loop)回路が動作する。ここでPLL回路は第1の位相比較器21、第1のローパスフィルタ22、加算器26、電圧制御発振器27、分周器28などで構成される。また、低周波数領域では、プリビット信号と位相比較基準信号との位相差に基づくVCO制御指令は、ウォブル信号と位相比較基準信号との位相差に基づくVCO制御指令より高く設定されている。このようにVCO制御指令を設定することにより、プリビット信号が低周波数領域での制御目標となるため、プリビット信号に基づく移相機能を実現できる。また、移相器29により、位相比較基準信号のオフセット値を補正することにより、第1の位相比較器21及び第2の位相比較器24のオフセットを除去することが可能である。

【0046】図10は実施の形態1における記録用クロック信号生成部60における効果を説明する波形図である。図10に示す波形図において、(a)の波形は、プリビット信号とウォブル信号の位相差を示しており、(b)の波形は、プリビット信号とウォブル位相比較基準信号との位相差を示している。ウォブル信号だけに基いて制御する場合には、PLL回路によって生成される位相比較基準信号の位相は図10の(a)と実質的に同じである図10の(c)のような波形となる。図10の(c)の波形において、ウォブル信号の位相と一致するよう制御されるため、制御帯域内で考えると図10の(a)と同様の大きさの波形となる。

【0047】従って、図10の(b)に示すように、プ

17

リビット信号とクロック信号の位相のずれが小さくなり、データの記録開始位置、記録終了位置がずれることがなくなる。これにより、データをディスク上の所定位置に忠実に記録することができ、追記を行う場合であっても、データの重ね書きや、書き残しの領域をなくすることが可能である。なお、第1のローパスフィルタ22と第2のローパスフィルタ25の出力値の加算に際しては、目標発振レベルに相当する電圧を別途加算しておく。

【0048】《実施の形態2》次に、本発明のクロック信号発生装置の実施の形態2について添付の図面を参照しつつ説明する。図11は本発明に係る実施の形態2のクロック信号発生装置の構成を示すブロック図である。図11において、前述の実施の形態1と同様の機能、構成を有するものには同じ符号を付し、その説明は省略する。実施の形態2のクロック信号発生装置において、光ディスクの一例としては追記型のDVDであるDVD-Rを用いて説明する。図12において、光ディスク1は所定の周波数成分のウォブル信号でウォブリングしたデータ記録用トラックを有し、このウォブル信号とは所定の位相関係を有するプリビットが形成されている。実施の形態2のクロック信号発生装置は、前述の実施の形態1のクロック信号発生装置の記録用クロック信号生成部60にパルス幅検出回路32と移相量補正回路33とを追加したものである。

【0049】実施の形態2において、ラジアルプッシュプル信号が入力されたプリビット検出回路23は、プリビット信号を検出して、そのプリビット信号を、第2の位相比較器24、位相誤差検出器30及びパルス幅検出回路32にそれぞれ出力する。第2の位相比較器24はプリビット信号と移相器29からの出力との位相差を検出し、第2のローパスフィルタ(LPF)25に出力する。位相誤差検出器30はウォブル信号とプリビット信号との位相差を検出し、第3のローパスフィルタ(LPF)31に出力する。第3のローパスフィルタ31は位相誤差検出器30の出力を平滑化して移相器29に出力する。パルス幅検出回路32はプリビットのパルス幅を検出し、移相量補正回路33に出力する。移相量補正回路33はパルス幅検出回路32の結果により移相量を計算し、その算出結果を移相器29に出力する。実施の形態2のクロック信号発生装置において、その他の構成は前述の実施の形態1のクロック信号発生装置と同様である。

【0050】次に、実施の形態2のクロック信号発生装置の動作について説明する。なお、以下の実施の形態2における動作の説明において、前述の実施の形態1と重複する部分については省略し、異なる部分について説明をする。図12はプリビット信号とプリビット用位相比較基準信号(ウォブル信号)との位相差を計算する第2の位相比較器24の一例を示す回路図(a)とその信号

18

波形図(b)である。本発明における第2の位相比較器24はこのような構成に限定されるものではなく、同様な機能を有するものであればよい。図12の(a)に示す回路を有する第2の位相比較器24の場合、図12の(b)に示す信号波形となる。すなわち、プリビット信号のパルス幅の中心にプリビット用位相比較基準信号(ウォブル信号)の変化点があるとき、第2の位相比較器24の回路は平衡状態となる。このため、ウォブル信号とプリビット信号の位相誤差信号には、プリビット信号のパルス幅の半分が位相誤差として含まれない。第2の位相比較器24のオフセットを除去するために、パルス幅検出回路32によって検出されたプリビット信号のパルス幅から、移相量補正回路33によりさらにずらす位相分であるプリビット信号のパルス幅の半分値を演算する。移相器29ではウォブル信号とプリビット信号との位相差分と、プリビット信号のパルス幅の半分に相当する位相分を移相させる。位相誤差検出器30は、プリビット信号の立ち上がりとウォブル信号の立ち上がりの時間を位相差に換算した結果を出力する。また、移相量補正回路33においては、プリビット信号の立ち上がりからプリビット信号の中心に相当する時間を位相差に換算した結果が出力される。従って移相器29により、ウォブル信号と位相の一致している位相比較基準信号をプリビット信号の中心まで移相する。

【0051】発明者の実験において、光ディスク1への記録動作中、未記録再生動作中、記録済み再生動作中に、プリビット信号のパルス幅が異なるという現象が見つかった。この現象に対応するために、図示は省略しているが、CPU12にてプリビット信号のパルス幅の状態を監視し、プリビット信号のパルス幅が異なったとき、移相量補正回路33の出力値を切り変えるよう構成してもよい。例えば、起動時に未記録部分の再生時のパルス幅、記録時のパルス幅、記録済み部分の再生時のパルス幅を検出しておく。この検出は、光ディスク1に対する記録に際して行われるパワーキャリブレーション領域へのテスト記録を利用して行われる。DVD-Rの光ディスクにおいて再生状態から記録状態に移行する場合、再生状態では、再生状態のパルス幅を設定する。再生状態から記録状態に移行する際には、記録状態のパルス幅に切り変える。上記の構成により、本発明のクロック信号発生装置は、記録、再生のいずれの状態であっても、ジッタの少ない記録用クロック信号を得ることが可能となり、追記に際しては、重ね書きや書き残しといった問題を解決することができる。

【0052】《実施の形態3》次に、本発明のクロック信号発生装置の実施の形態3について添付の図面を参照しつつ説明する。図13は本発明に係る実施の形態3のクロック信号発生装置の構成を示すブロック図である。図13において、前述の実施の形態1及び実施の形態2と同様の機能、構成を有するものには同じ符号を付し、

その説明は省略する。実施の形態3のクロック信号発生装置は、前述の実施の形態2のクロック信号発生装置の記録用クロック信号生成部70にパルス幅検出回路35と可変ゲインアンプ34とを追加したものである。実施の形態3において、ラジアルブッシュアップ信号が入力されたプリビット検出回路23は、プリビット信号を検出して、そのプリビット信号を、第2の位相比較器24、位相誤差検出器30、パルス幅検出回路32及びパルス頻度検出回路35にそれぞれ出力する。第2の位相比較器24はプリビット信号と移相器29からの出力との位相差を検出し、第2のローパスフィルタ(LPF)25に出力する。

【0053】位相誤差検出器30はウォブル信号とプリビット信号との位相差を検出し、第3のローパスフィルタ(LPF)31に出力する。第3のローパスフィルタ31は位相誤差検出器30の出力を平滑化して移相器29に出力する。パルス幅検出回路32はプリビットのパルス幅を検出し、移相量補正回路33に出力する。移相量補正回路33はパルス幅検出回路32の結果により移相量を計算し、その算出結果を移相器29に出力する。パルス頻度検出回路35はプリビット検出回路23から入力されたプリビット信号の検出頻度を計測し、可変ゲインアンプ34に出力する。可変ゲインアンプ34はパルス頻度検出回路35の出力値に応じて、第2のローパスフィルタ25の出力値を増幅し、加算器26に出力する。実施の形態3のクロック信号発生装置において、その他の構成は前述の実施の形態2のクロック信号発生装置と同様である。

【0054】次に、実施の形態3のクロック信号発生装置の動作について説明する。なお、以下の実施の形態3における動作の説明において、前述の実施の形態1及び実施の形態2と重複する部分については省略し、異なる部分について説明をする。従来のクロック信号発生装置において、未記録再生動作時はプリビットの検出は容易であるが、記録済み再生動作時や記録動作時、特に記録動作時においてプリビットの検出が困難であるという問題があった。例えば、記録動作中はレーザーの発光状態が記録レベル、バイアスレベルの2つの状態を高速に切り換えてレーザー発光するため、再生されるプリビット信号のレベルもレーザーの状態に応じて様々な値を取る。このため、プリビットを検出するために、検出レベルが所定のスライスレベルを超えるか否かを判断するだけでは、プリビット信号を取りこぼしたり、誤って検出したりする可能性があった。記録動作と再生動作において2段階のスライスレベルを設定しても同様の問題があった。従って、プリビット信号のための第2の位相比較器24を前述の図12に示したような簡単な回路で構成した場合には問題がある。この回路における問題は、プリビットが検出されないことではなく、誤ってプリビット信号を出力することが問題である。このような問題を

解決するために、プリビット信号のスライスレベルを誤って認識しないレベルに低く設定する場合がある。この場合、プリビット信号の検出頻度に依存して、プリビット信号に基づく位相比較結果の寄与レベルが低下する。

【0055】そこで、本発明の実施の形態3のクロック信号発生装置では上記の問題を鑑み、プリビット信号の位相比較結果の寄与レベルが一定になるように、プリビット信号の検出頻度に応じて、プリビット信号の位相比較結果を増幅する可変ゲインアンプ34を設けている。この可変ゲインアンプ34はパルス頻度検出回路35からの信号に基づきプリビット信号を増幅して、加算器26に入力するよう構成している。このため、記録動作中または記録済み領域の再生動作中において、プリビット信号の検出確率が低下したとしても、可変ゲインアンプ34によってプリビット信号の寄与レベルが一定に保たれるよう動作する。このため、実施の形態3のクロック信号発生装置は、ウォブル信号とプリビット信号のクロック信号に対する寄与率が一定となり安定した動作を得ることができる。従って、上記のように構成された実施の形態3のクロック信号発生装置は、記録、再生のいずれの動作状態であっても、ジッタの少ない記録用クロック信号を高精度に得ることが可能となり、追記に際しては、重ね書きや書き残しといった問題を解決することができる。

【0056】《実施の形態4》次に、本発明のクロック信号発生装置の実施の形態4について添付の図面を参照しつつ説明する。図14は本発明に係る実施の形態4のクロック信号発生装置の構成を示すブロック図である。図14において、前述の実施の形態1と同様の機能、構成を有するものには同じ符号を付し、その説明は省略する。実施の形態4のクロック信号発生装置は、前述の実施の形態1のクロック信号発生装置の記録用クロック信号生成部60に減算器36を追加したものである。実施の形態4において、ラジアルブッシュアップ信号が入力されたプリビット検出回路23は、プリビット信号を検出して、そのプリビット信号を第2の位相比較器24、位相誤差検出器30及びパルス幅検出回路32にそれぞれ出力する。第2の位相比較器24はプリビット信号と移相器29からの出力との位相差を検出し、第2のローパスフィルタ(LPF)25に出力する。位相誤差検出器30はウォブル信号とプリビット信号との位相差を検出し、第3のローパスフィルタ(LPF)31に出力する。第3のローパスフィルタ31は位相誤差検出器30の出力を平滑化して移相器29に出力する。減算器36は第1のローパスフィルタ22の出力から第2のローパスフィルタ25の出力の差分をとる減算器である。この減算結果は低域通過回路を通した後、増幅して、ローパスフィルタ22から減算し、ローパスフィルタ25に加算する。実施の形態4のクロック信号発生装置において、その他の構成は前述の実施の形態1のクロック信号

21

発生装置と同様である。

【0057】次に、実施の形態4のクロック信号発生装置の動作について説明する。なお、以下の実施の形態4における動作の説明において、前述の実施の形態1と重複する部分については省略し、異なる部分について説明をする。前述の第1の実施の形態のクロック信号発生装置において、第1のローパスフィルタ22と第2のローパスフィルタ25の各出力レベルについては制御されておらず、加算結果が一定になるよう制御されるのみである。このため、第1の位相比較器21と第2の位相比較器24の出力には広範なDレンジが要求される。このため、第1の実施の形態のクロック信号発生装置は、回路の低電圧化において問題があった。この問題を解決するため、実施の形態4のクロック信号発生装置では、第1のローパスフィルタ22と第2のローパスフィルタ25の出力レベル差を帰還するよう構成することにより、第1のローパスフィルタ22と第2のローパスフィルタ25の出力レベルが同一になる。

【0058】上記のように構成することにより、実施の形態4のクロック信号発生装置は、第1のローパスフィルタ22と第2のローパスフィルタ25の出力DCレベルが均衡するため、第1の位相比較器21と第2の位相比較器24の実質のDレンジを大きく取ることが可能になる。このため、実施の形態4のクロック信号発生装置は、大きな位相誤差であっても安定に動作するばかりでなく、ゲインの向上にも有利である。また、実施の形態4のクロック信号発生装置では、記録または再生のいずれの動作状態であっても、ジッタの少ない記録用クロック信号を得ることが可能となり、追記に際しては、重ね書きや書き残しといった問題を解決することができる。

【0059】《実施の形態5》次に、本発明のクロック信号発生装置の実施の形態5について添付の図面を参照しつつ説明する。図15は本発明に係る実施の形態5のクロック信号発生装置の構成を示すブロック図である。図15において、前述の実施の形態1と同様の機能、構成を有するものには同じ符号を付し、その説明は省略する。実施の形態5のクロック信号発生装置は、前述の実施の形態1のクロック信号発生装置の記録用クロック信号生成部60の位相比較器24をゲイン切替型位相比較器81に置き換えたものである。

【0060】実施の形態5において、ラジアルプッシュプル信号が入力されたプリビット検出回路23は、再生時は全てのプリビット信号を検出できるが、記録時はマーク中のみプリビットが検出され、プリビットの検出確率が50%程度になることを想定している。このため、記録時のプリビット検出回路23の出力ゲインは、再生時の2分の1になる。記録時は、ゲイン切替型位相比較器81の出力は、再生時の出力の2倍に設定される。再生状態と記録状態を切り換える信号はCPU12により出力される。上記のように構成された実施の形態5のク

22

ロック信号発生装置は、PLL回路のゲインを再生時と記録時に一定に保つことができ、最適な制御特性を維持できる。

【0061】《実施の形態6》次に、本発明のクロック信号発生装置の実施の形態6について添付の図面を参照しつつ説明する。図16は本発明に係る実施の形態6のクロック信号発生装置の構成を示すブロック図である。図16において、前述の実施の形態1と同様の機能、構成を有するものには同じ符号を付し、その説明は省略する。実施の形態6のクロック信号発生装置は、前述の実施の形態1のクロック信号発生装置の記録用クロック信号生成部60のプリビット検出回路23をゲイン切替型プリビット検出回路82に置き換えたものである。実施の形態6において、ラジアルプッシュプル信号が入力されたゲイン切替型プリビット検出回路82は、再生時は全てのプリビット信号を検出できるが、記録時はマーク中のみプリビットが検出され、プリビットの検出確率が50%程度になることを想定している。そこで、再生時のプリビット出力頻度を2分の1に低下することにより、再生時と記録時のゲインを一定に保つ。なお、再生状態と記録状態を切り換える信号はCPU12により出力される。上記のように構成された実施の形態6のクロック信号発生装置は、PLL回路のゲインを再生時と記録時に一定に保つことができ、最適な制御特性を維持できる。なお、以上の説明においては、光ディスクとしてDVD-Rを用いた例で説明したが、本発明はこれに限定されるものではなく、その他の光ディスク、光磁気ディスクなどについても同様に実施可能である。

【0062】

【発明の効果】以上、実施の形態について詳細に説明したところから明らかなように、本発明は次の効果を有する。本発明のクロック信号発生装置によれば、ディスク位置に対応した正確な記録用クロック信号を生成することができるため、ジッタの少ない記録用クロック信号を得ることができるばかりでなく、追記に際しては、重ね書きや書き残しという問題を解決することができるという効果が得られる。本発明によれば、誤ったプリビット信号が検出された場合でも、安定した記録用クロック信号を生成することができるクロック信号発生装置を得ることができる。

【図面の簡単な説明】

【図1】本発明に係る実施の形態1のクロック信号発生装置の構成を示すブロック図である。

【図2】光ディスクであるDVD-Rを示す斜視図である。

【図3】光ディスクであるDVD-Rの一部を拡大して示す斜視図である。

【図4】本発明に係る実施の形態1のクロック信号発生装置におけるラジアルプッシュプル信号関連の信号波形図である。

【図５】実施の形態１のクロック信号発生装置におけるウォブル検出回路の構成を示すブロック図（ａ）とウォブル検出回路におけるウォブル２値化回路の回路図である。

【図6】実施の形態1のクロック信号発生装置におけるプリビット検出回路の構成を示すブロック図である。

【図7】DVD-Rのウォブル信号とプリビット信号との位相差を説明する図である。

【図8】DVD-Rのディスクフォーマットの説明図である。

【図9】本発明に係る実施の形態1における記録用クロック信号生成部の特性図である。

【図１０】本発明に係る実施の形態１における記録用クロック信号生成部の効果を説明する信号波形図である。

【図１１】本発明に係る実施の形態２のクロック信号発生装置の構成を示すブロック図である。

【図１２】実施の形態２における位相比較器２４の構成を示す回路図及び信号波形図である。

【図１３】本発明に係る実施の形態３のクロック信号発生装置の構成を示すブロック図である。

【図14】本発明に係る実施の形態4のクロック信号発生装置の構成を示すブロック図である。

【図15】本発明に係る実施の形態5のクロック信号発生装置の構成を示すブロック図である。

【図16】本発明に係る実施の形態6のクロック信号発生装置の構成を示すブロック図である。

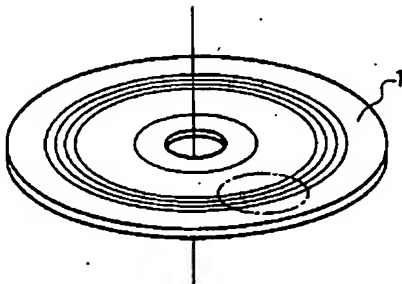
【図17】従来のクロック信号発生装置の構成を示すブロック図である。

【符号の説明】

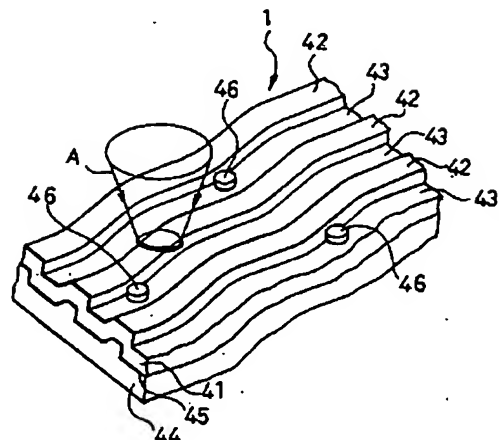
- 1 光ディスク
- 2 スピンドルモータ

- 3 対物レンズ
- 4 ハーフミラー
- 5 フォトディテクター
- 6 レーザー発振器
- 7 レーザー駆動回路
- 8 パワー制御回路
- 9 エンコーダ
- 10 再生増幅器
- 11 デコーダ
- 12 CPU
- 13 インターフェース
- 14 スピンドルドライバ
- 15 位相比較器
- 16 バンドパスフィルタ
- 20 ウォブル検出回路
- 21 第1の位相比較器
- 22 第1のローパスフィルタ
- 23 プリビット検出回路
- 24 第2の位相比較器
- 25 第2のローパスフィルタ
- 26 加算器
- 27 電圧制御発振器
- 28 分周器
- 29 移相器
- 30 位相誤差検出器
- 31 第3のローパスフィルタ
- 32 パルス幅検出回路
- 33 移相量補正回路
- 34 可変ゲインアンプ
- 35 パルス頻度検出回路
- 36 減算器

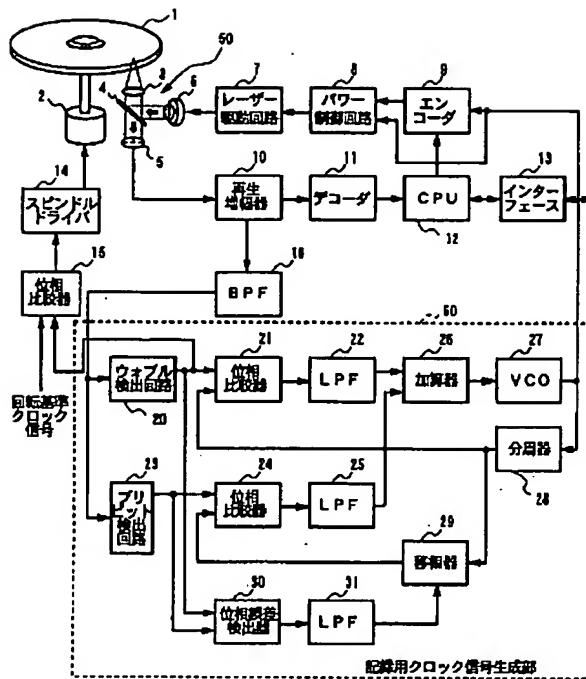
【図2】



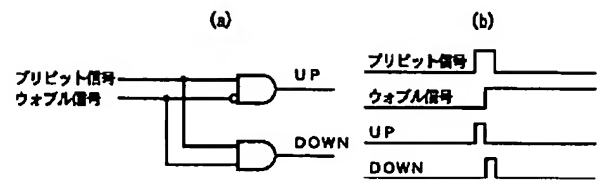
【図3】



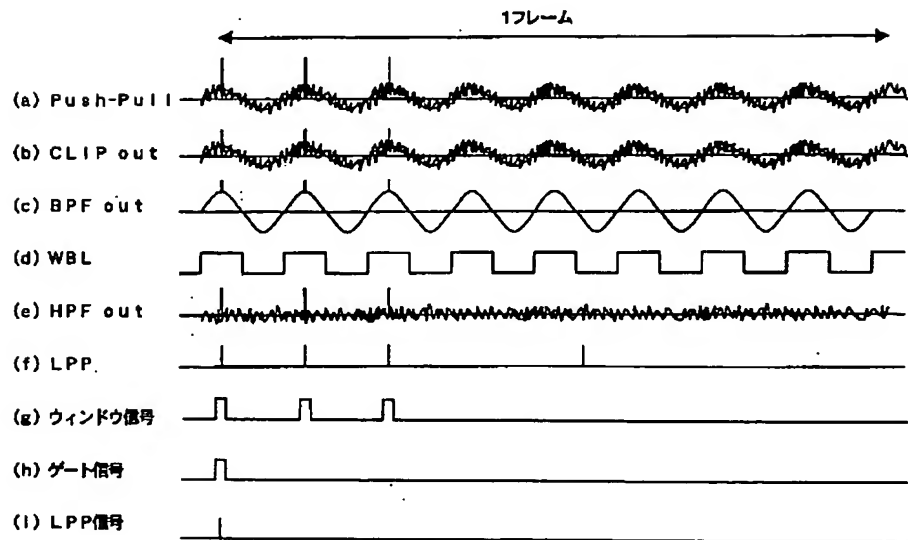
【図1】



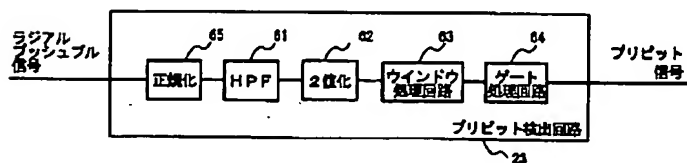
【図12】



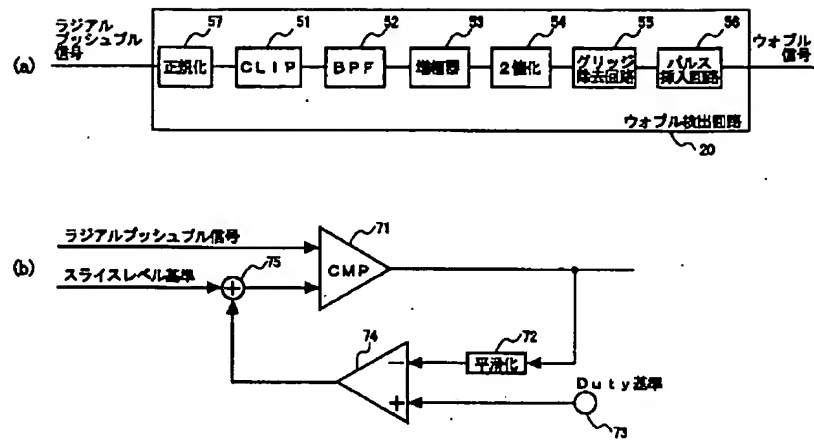
【図4】



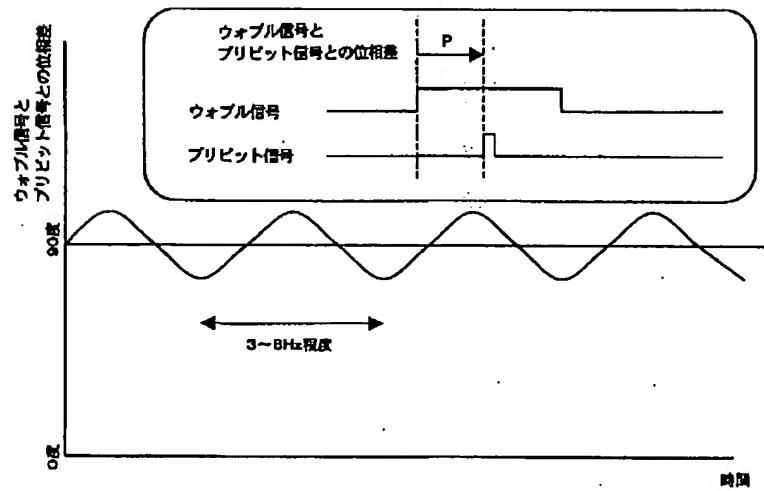
【図6】



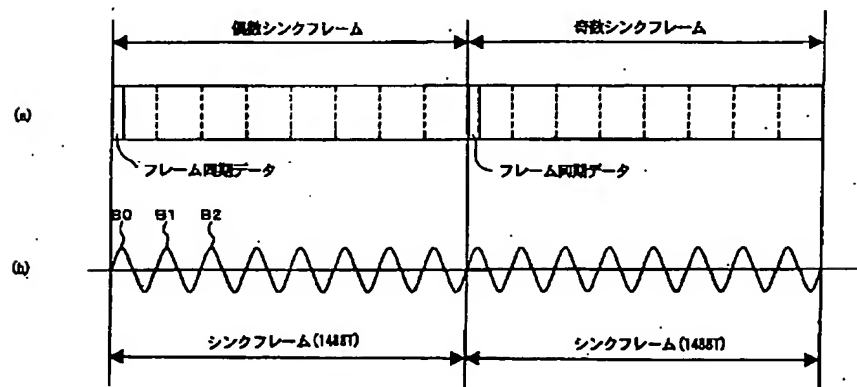
【図5】



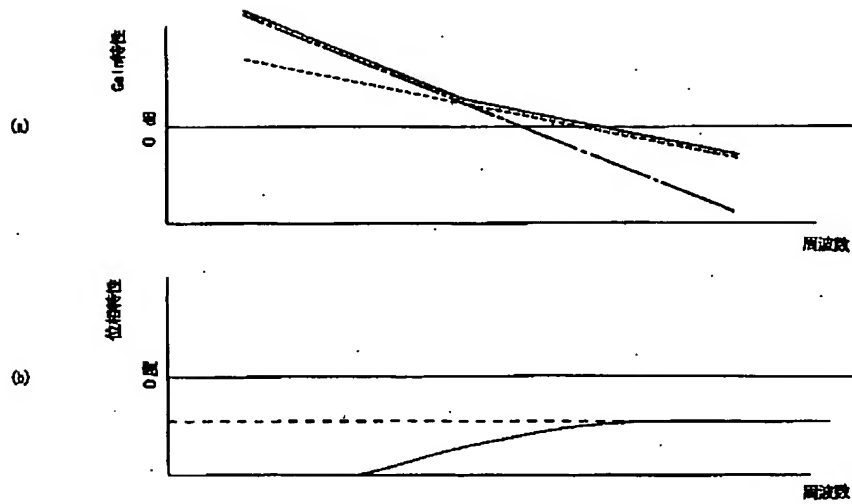
【図7】



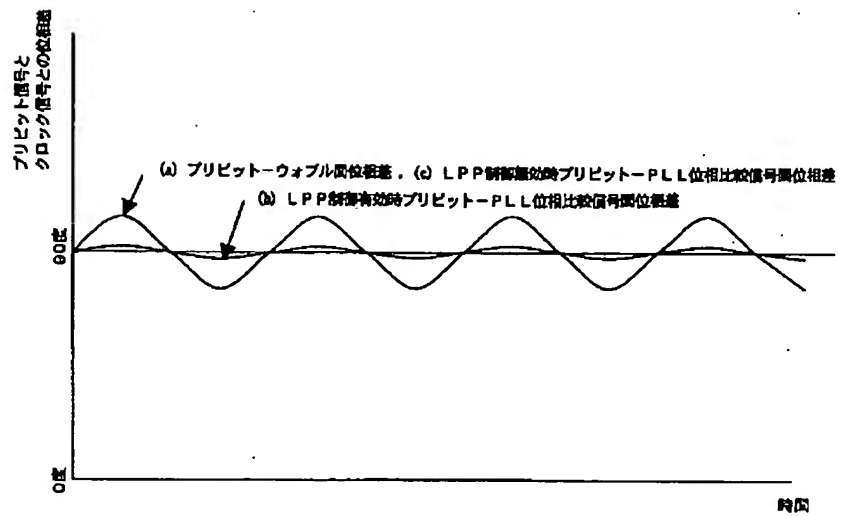
【図8】



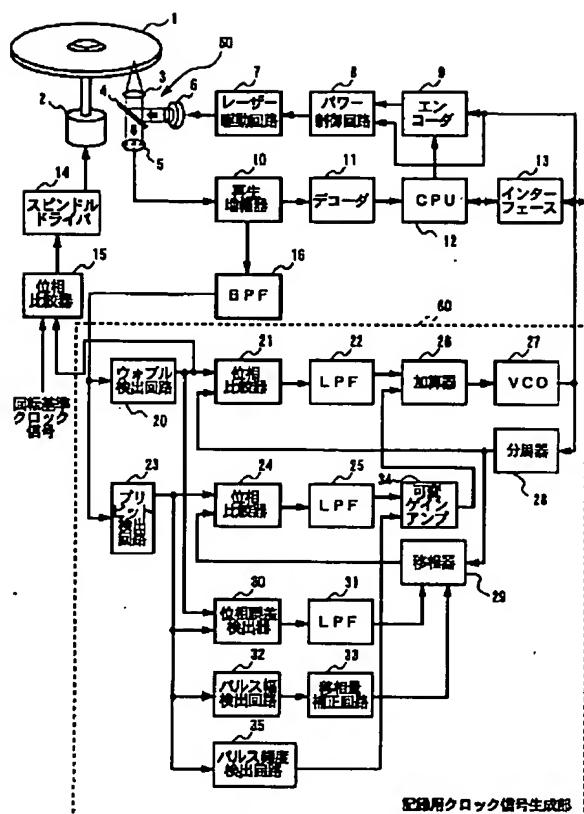
【図9】



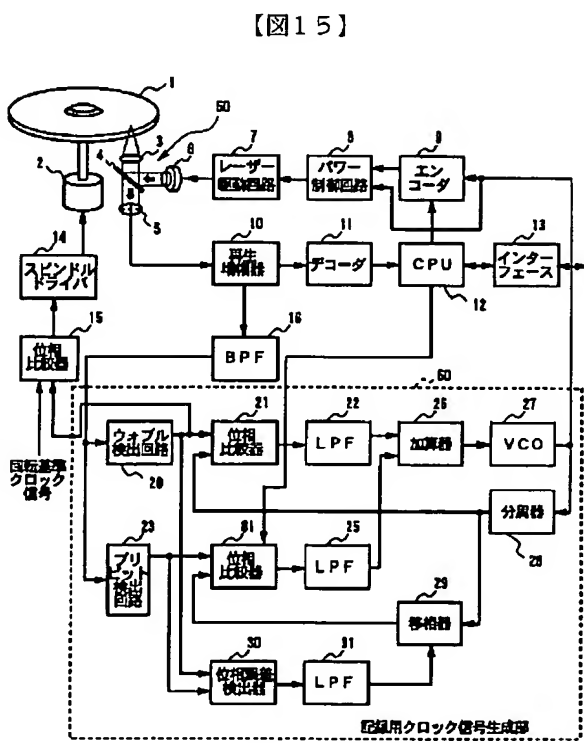
【図10】



【图 13】



【図15】



[illegible]

(72)発明者 井村 正春
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 井上 眞治
香川県高松市古新町8番地の1 松下寿電
子工業株式会社内
(72)発明者 渡部 英成
香川県高松市古新町8番地の1 松下寿電
子工業株式会社内

(72)発明者 藤堂 貴之
香川県高松市古新町8番地の1 松下寿電
子工業株式会社内
Fターム(参考) 5D044 BC04 CC04 GM03
5D090 AA01 BB03 BB04 CC01 CC05
DD03 FF45